

527063

## (12)特許協力条約に基づいて公開された国際出願

Rec'd PCT/PTO 09 MAR 2005

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年4月15日 (15.04.2004)

PCT

(10)国際公開番号  
WO 2004/031939 A1

(51)国際特許分類:

G06F 7/00, 1/04

(21)国際出願番号:

PCT/JP2003/009634

(22)国際出願日:

2003年7月30日 (30.07.2003)

(25)国際出願の言語:

日本語

(26)国際公開の言語:

日本語

(30)優先権データ:

特願2002-286524 2002年9月30日 (30.09.2002) JP

(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 下山 健 (SHI-MOYAMA,Takeshi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74)代理人: 稲本 義雄 (INAMOTO,Yoshio); 〒160-0023 東京都新宿区西新宿7丁目11番18号711ビルディング4階 Tokyo (JP).

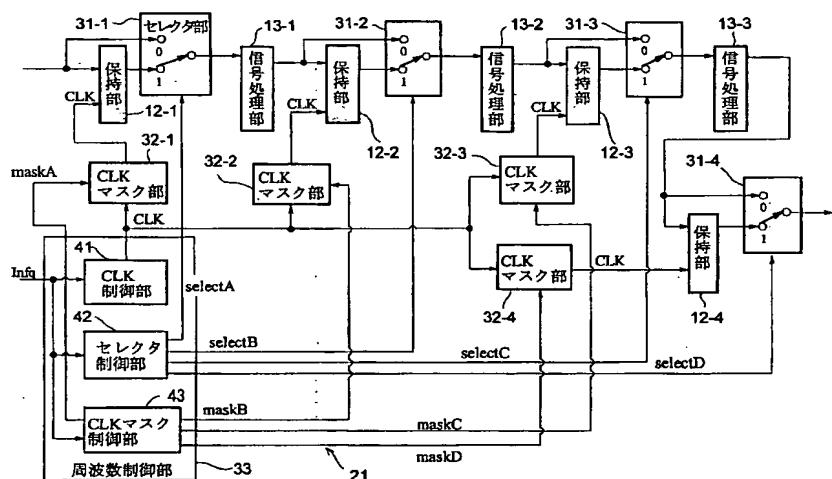
(81)指定国(国内): US.

(84)指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[統葉有]

(54) Title: INFORMATION PROCESSING DEVICE, METHOD, AND PROGRAM

(54)発明の名称: 情報処理装置および方法、並びにプログラム



- 31-1...SELECTOR SECTION
- 12-1...HOLDING SECTION
- 12-2...HOLDING SECTION
- 12-3...HOLDING SECTION
- 12-4...HOLDING SECTION
- 13-1...SIGNAL PROCESSING SECTION
- 13-2...SIGNAL PROCESSING SECTION
- 13-3...SIGNAL PROCESSING SECTION
- 32-1...CLK MASK SECTION
- 32-2...CLK MASK SECTION
- 32-3...CLK MASK SECTION
- 32-4...CLK MASK SECTION
- 41...CLK CONTROL SECTION
- 42...SELECTOR CONTROL SECTION
- 43...CLK MASK CONTROL SECTION
- 33...FREQUENCY CONTROL SECTION

(57) Abstract: An information processing device, method, and program capable of preventing lowering of processing capacity even when the frequency of the synchronous clock signal is a low frequency and suppress power consumption. For example, when a selector section (31-2) receives a selection instruction selectB indicating bypass of a holding section (12-2) set according to the synchronous clock signal CLK frequency, data input at a predetermined first clock of the synchronous clock signal CLK to a holding section (12-1) and held passes through a selector section (31-1) and a signal processing section (13-1) at the next clock, bypasses the holding section (12-2), passes directly through the selector section (31-2), further passes through a signal processing section (13-2), and is input to a holding section (12-3) and held. The present invention can be applied to a data processing device such as a CPU, a DSP, and a filter or a bus.

[統葉有]

WO 2004/031939 A1



Rec'd PCT/PTO 09 MAR 2005

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約: 本発明は、同期クロック信号の周波数が低周波数とされても、処理能力の低下を防止するとともに、電力消費を抑制することができる情報処理装置および方法、並びにプログラムに関する。例えば、セレクタ部31-2が、同期クロック信号CLKの周波数に応じて設定された、保持部12-2をバイパスすることを表す選択指令selectBを受信した場合、同期クロック信号CLKの所定の1クロック目に、保持部12-1に入力され、かつ保持されたデータは、次の2クロック目に、セレクタ部31-1、および、信号処理部13-1を通過し、保持部12-2をバイパスしてそのままセレクタ部31-2を通過し、さらに信号処理部13-2を通過して、保持部12-3に入力され、かつ保持される。本発明は、CPU、DSP、および、フィルタ等のデータ処理装置、またはバスに適応可能である。

## 明細書

## 情報処理装置および方法、並びにプログラム

## 技術分野

5 本発明は、情報処理装置および方法、並びにプログラムに関し、特に、同期クロック信号の周波数が可変である場合、低周波数とされても、処理能力の低下を防止するとともに、電力消費を抑制することができるようとした情報処理装置および方法、並びにプログラムに関する。

## 10 背景技術

CPU (Central Processing Unit)、DSP (Digital Signal Processor)、および、フィルタ等に代表されるデータ処理装置、並びに、データのやり取りを行うバス、およびデータバス等の情報処理装置は、同期クロック（システムクロック）に同期して様々な処理を実行している。このような情報処理装置の中で、複数クロックかけて1つの処理を実行するものは、その処理の途中の状態を記憶するために、フリップフロップ回路などの記憶素子が搭載され、その記憶素子が、その処理の途中の状態を記憶する（例えば、特開2002-204224号公報参照）。

20 このような処理は、一般的に、パイプライン動作と称されている。従って、以下、上述したフリップフロップ回路のような処理の途中の状態を記憶するものを、パイプラインと称し、また、パイプラインの配置場所を、パイプラインの切れ目と称する。

25 パイプラインの切れ目は、状態が少ないところ、または、その切れ目前後に存在する回路のそれぞれの遷移時間（データが回路に入力され、所定の処理が施されて、回路から出力されるまでの時間）が同期クロックの周期を超えないところ等とされることが多い。

しかしながら、従来、同期クロックの周波数が可変の場合、最も周波数が高いときにあわせて、パイプラインが構成される（パイプラインの切れ目が決定される）ことが多い。このため、周波数が低いときには、回路の遷移時間が同期クロックの周期より遙かに短くなり、たとえ最高周波数のときに、最適なパイプラインの構成となっていたとしても、周波数が低いときには、必ずしも最適なパイプラインの構成となっているとは限らないという課題があった。

即ち、従来、同期クロックの周波数が可変の場合、最も周波数が高いときにあわせてパイプラインが構成されると、周波数が低くなるに従い、全体の処理能力が低下するとともに、消費電力が無駄に使用されるシステムアーキテクチャになってしまふことがあるという課題があった。

例えば、図1は、パイプライン動作を行う従来の情報処理装置の構成例を表している。

図1に示されるように、情報処理装置1には、所定の周波数情報Infqに基づいて、同期クロック信号CLKの周波数を可変し、変更した周波数の同期クロック信号CLKを出力する周波数制御部1-1、並びに、周波数制御部1-1より出力された同期クロック信号CLKのうちの所定のクロックの立ち上がり、若しくは立ち下りを検知して、所定のデータを入力、かつ保持し、次のクロックの立ち上がり、若しくは立ち下りを検知して、保持したデータを出力する保持部1-2-1乃至1-2-4が設けられている。

情報処理装置1にはまた、保持部1-2-1と保持部1-2-2の間に、入力した信号（データ）に、第1の処理を施して、それを出力する信号処理部1-3-1が、保持部1-2-2と保持部1-2-3の間に、入力した信号（データ）に、第2の処理を施して、それを出力する信号処理部1-3-2が、保持部1-2-3と保持部1-2-4の間に、入力した信号（データ）に、第3の処理を施して、それを出力する信号処理部1-3-3が、それぞれ設けられている。

換言すると、情報処理装置1には、パイプラインとして、4つの保持部12-1乃至12-4が設けられており、パイプラインの切れ目は、信号処理部13-1乃至13-3のそれぞれの入力の直前、および、出力の直後とされている。

次に、図2と図3を参照して、情報処理装置1の動作を説明する。

5 はじめに、図2を参照して、同期クロック信号CLKの周波数が最高周波数の場合の情報処理装置1の動作を説明する。

この例においては、例えば、情報処理装置1に入力される信号、即ち、保持部12-1に入力される信号は、(A0, B0, C0, D0)のデータ列であり、データ列(A0, B0, C0, D0)の各データのそれぞれは、その順番で、1クロック毎に10 順次入力されるとする。

この場合、図2に示されるように、1クロック目に、データA0が保持部12-1に入力され、かつ保持される。

2クロック目に、保持部12-1において、データA0が出力されるとともに、データB0が入力され、かつ保持される。データA0は、信号処理部13-1により第1の処理が施されてデータA1となり、3クロック目が出力されるまでに、保持部12-2に入力され、かつ保持される。

3クロック目に、保持部12-1において、データB0が出力されるとともに、データC0が入力され、かつ、保持される。保持部12-2において、データA1が出力されるとともに、次の4クロック目が出力されるまでに、保持部12-1より出力されたデータB0が、信号処理部13-1によりデータB1とされて入力され、そのデータB1が保持される。データA1は、信号処理部13-2により第2の処理が施されてデータA2となり、4クロック目が出力されるまでに、保持部12-3に入力され、かつ保持される。

4クロック目に、保持部12-1において、データC0が出力されるとともに、データD0が入力され、かつ、保持される。保持部12-2において、データB1が出力されるとともに、次の5クロック目が出力されるまでに、保持部12-1より出力されたデータC0が、信号処理部13-1によりデータC1とされて入

力され、データ C1 が保持される。保持部 12-3において、データ A2 が出力されるとともに、次の 5 クロック目が出力されるまでに、保持部 12-2 より出力されたデータ B1 が、信号処理部 13-2 によりデータ B2 とされて入力され、そのデータ B2 が保持される。データ A2 は、信号処理部 13-3 により第 3 の 5 处理が施されてデータ A3 となり、5 クロック目が出力されるまでに、保持部 12-4 に入力され、かつ保持される。

5 クロック目以降、保持部 12-1 乃至 12-4 のそれぞれ、および、信号処理部 13-1 乃至 13-3 のそれぞれは、上述した処理を繰り返し、その結果、5 クロック目にデータ A3 が、6 クロック目にデータ B3 が、7 クロック目にデータ C3 が、8 クロック目にデータ D3 が、それぞれ外部に出力される。

即ち、同期クロック信号 CLK の周波数が最高周波数の場合、情報処理装置 1 は、1 クロック目に、データ A0 を入力し、5 クロック目に、信号処理部 13-1 乃至 13-3 のそれぞれにより処理されたデータ A3 を外部に出力する。この場合、図 2 に示されるように、1 つのデータ（データ A0 乃至 D0 のうちのいずれか）が、情報処理装置 1 に入力され、所定の処理が施されて外部に出力される（データ A3 乃至 D3 のうちのいずれかとして外部に出力される）までの時間は、時間 T1 とされる。

次に、周波数制御部 11 が、新たに入力された周波数情報 Infq に基づいて、同期クロック信号 CLK の周波数を上述した最高周波数（図 2 に示される周波数）の 1/2 に変更し、変更した周波数で同期クロック信号 CLK を出力したとする。

この場合、同期クロック信号 CLK は、図 2 に対して、図 3 に示されるようになる。

この場合も、情報処理装置 1 自身の動作は、上述した同期クロック信号 CLK の周波数が最高周波数（図 2 に示される周波数）の場合のそれと、基本的に同様とされる。即ち、図 3 に示されるように、情報処理装置 1 は、1 クロック目に、

データ A0 を入力し、5 クロック目に、信号処理部 1 3-1 乃至 1 3-3 のそれぞれにより処理されたデータ A3 を外部に出力する。

しかしながら、同期クロック信号 CLK のクロックの出力周期が 2 倍とされたので、この場合、図 3 に示されるように、1 つのデータ（データ A0 乃至 D0 のうちのいずれか）が、情報処理装置 1 に入力され、所定の処理が施されて外部に出力される（データ A3 乃至 D3 のうちのいずれかとして外部に出力される）までの時間は、最高周波数のときの時間 T1（図 2）の 2 倍の時間 T2 となってしまう。

即ち、情報処理装置 1 の処理時間（絶対時間）は、最高周波数の場合のそれに比較して、2 倍に増加してしまう。換言すると、情報処理装置 1 の処理能力は、最高周波数の場合のそれに比較して、 $1/2$  に低下してしまう。

同じクロックでの処理能力をあげることなどにより、この低下を  $1/2$  以上に抑えることができれば、消費電力あたりの性能が上がる分だけ消費電力を抑えることが可能になるが、そのような手法として有効的な手法がいまだ実現されていない。

## 発明の開示

本発明は、このような状況に鑑みてなされたものであり、同期クロック信号の周波数が可変である場合、低周波数とされても、処理能力の低下を防止するとともに、電力消費を抑制することができるようとするものである。

本発明の情報処理装置は、所定の周波数の同期クロックに同期して動作する情報処理装置であって、同期クロックの周波数を変更して、変更した周波数の同期クロックを出力するクロック出力手段と、クロック出力手段より所定の第 1 のクロックが出力された場合、所定のデータを入力、かつ、保持し、クロック出力手段より第 1 のクロックの次の第 2 のクロックが出力されたとき、保持したデータを出力する保持手段と、同期クロック出力手段より出力される同期クロックの周波数に基づいて、保持手段をバイパスしてデータを伝送させるか否かを指令する

選択指令を生成する選択指令生成手段と、選択指令生成手段により生成された選択指令が、保持手段をバイパスしてデータを伝送させるという内容であった場合、データを保持手段を介さずにそのまま出力し、選択指令が、保持手段をバイパス

しないでデータを伝送させるという内容であった場合、保持手段より出力された  
5 データを出力するバイパス手段とを備えることを特徴とする。

保持手段、および、バイパス手段がその順番に接続された組が複数組設けられ、複数の組のそれぞれがカスケード接続されているようにすることができる。

データに所定の処理を施すデータ処理手段をさらに設け、保持手段は、データ処理手段により処理が施されたデータを入力、かつ保持した後、出力し、バイパス手段は、選択指令が、保持手段をバイパスしてデータを伝送させるという内容であった場合、データ処理手段により処理が施されたデータを保持手段を介さずにそのまま出力し、選択指令が、保持手段をバイパスしないでデータを伝送させるという内容であった場合、データ処理手段により処理が施されて、保持手段により入力、かつ保持された後、その保持手段より出力されたデータを出力するよ  
10 うにすることができる。  
15

選択指令生成手段により生成された選択指令が、保持手段をバイパスしてデータを伝送させるという内容であった場合、保持手段の処理を停止させるように制御する停止制御手段をさらに設けるようにすることができる。

選択指令生成手段は、同期クロック出力手段より出力される同期クロックの周波数に対応する周波数情報をさらに生成し、生成した周波数情報に基づいて選択指令を生成するようにすることができる。

選択指令生成手段は、外部より供給される、同期クロック出力手段より出力される同期クロックの周波数に対応する周波数情報をさらに受信し、受信した周波数情報に基づいて選択指令を生成するようにすることができる。

25 本発明の情報処理方法は、所定の周波数の同期クロックに同期して動作し、同期クロックの周波数を変更して、変更した周波数の同期クロックを出力するクロック出力装置と、クロック出力装置より所定の第1のクロックが出力された場合、

所定のデータを入力、かつ、保持し、クロック出力装置より第1のクロックの次の第2のクロックが出力されたとき、保持したデータを出力する保持装置と、データを保持装置を介さずにそのまま入力する第1の入力部、保持装置より出力されるデータを入力する第2の入力部、および、第1の入力部と第2の入力部のうちのいずれか一方に入力されたデータを出力する出力部を有するバイパス装置とを備える情報処理装置の情報処理方法であって、同期クロック出力装置より出力される同期クロックの周波数に基づいて、保持装置をバイパスしてデータを伝送させるか否かを指令する選択指令を生成する選択指令生成ステップと、バイパス装置に対して、選択指令生成ステップの処理により生成された選択指令が、保持

装置をバイパスしてデータを伝送させるという内容であった場合、第1の入力部に入力されたデータを出力部より出力させるように制御し、選択指令が、保持装置をバイパスしないで伝送させるという内容であった場合、第2の入力部に入力されたデータを出力部より出力させるように制御するバイパス制御ステップとを含むことを特徴とする。

本発明のプログラムは、所定の周波数の同期クロックに同期して動作し、同期クロックの周波数を変更して、変更した周波数の同期クロックを出力するクロック出力装置と、クロック出力装置より所定の第1のクロックが出力された場合、所定のデータを入力、かつ、保持し、クロック出力装置より第1のクロックの次の第2のクロックが出力されたとき、保持したデータを出力する保持装置と、データを保持装置を介さずにそのまま入力する第1の入力部、保持装置より出力されるデータを入力する第2の入力部、および、第1の入力部と第2の入力部のうちのいずれか一方に入力されたデータを出力する出力部を有するバイパス装置とを備える情報処理装置を制御するコンピュータに、同期クロック出力装置より出力される同期クロックの周波数に基づいて、保持装置をバイパスしてデータを伝送させるか否かを指令する選択指令を生成する選択指令生成ステップと、バイパス装置に対して、選択指令生成ステップの処理により生成された選択指令が、保持装置をバイパスしてデータを伝送させるという内容であった場合、第1の入力

部に入力されたデータを出力部より出力させるように制御し、選択指令が、保持装置をバイパスしないで伝送させるという内容であった場合、第2の入力部に入力されたデータを出力部より出力させるように制御するバイパス制御ステップと実行させることを特徴とする。

5 本発明の情報処理装置および方法、並びにプログラムにおいては、同期クロックの周波数に基づいて、保持装置をバイパスしてデータを伝送させるか否かを指令する選択指令が生成され、生成された選択指令が、保持装置をバイパスしてデータを伝送させるという内容であった場合、所定の第1のクロックが出力されると、入力されたデータが保持装置を介さずにそのまま出力され、生成された選択  
10 指令が、保持装置をバイパスしないでデータを伝送させるという内容であった場合、第1のクロックが出力されると、入力されたデータが、保持装置により保持され、第1のクロックの次の第2のクロックが出力されると、保持装置に保持されたデータが出力される。

本発明の情報処理装置は、入力データとして、自分自身で生成したものを使用してもよいし、外部から入力したものを使用してもよい。さらに、本発明の情報処理装置は、自分自身で生成したもの、および、外部から入力したもののいずれも使用可能な装置であってもよい。

また、本発明の情報処理装置は、出力データを、外部に出力してもよいし、情報処理装置自身に搭載された所定の他の装置に出力してもよい。さらに、本発明の情報処理装置は、出力データを、外部、および、情報処理装置自身に搭載された所定の他の装置に同時に出力してもよい。さらにまた、他の装置は複数であってもよい。

#### 図面の簡単な説明

25 図1は、従来の情報処理装置の構成例を示す図である。

図2は、最高周波数の同期クロック信号が出力されている場合の図1の情報処理装置の動作例を説明するタイミングチャートである。

図 3 は、最高周波数の 1/2 の同期クロック信号が出力されている場合の図 1 の情報処理装置の動作例を説明するタイミングチャートである。

図 4 は、本発明が適用される情報処理装置の構成例を示す図である。

図 5 は、図 4 の情報処理装置の周波数制御部に入力される周波数情報のエンコード方法の例を説明する図である。

図 6 は、図 4 の情報処理装置の周波数制御部に入力される周波数情報のエンコード方法の他の例を説明する図である。

図 7 は、図 4 の情報処理装置の周波数制御部の処理を説明するフローチャートである。

図 8 は、図 4 の情報処理装置の周波数制御部のうちの、セレクタ制御部が生成する選択信号、および、CLK マスク制御部が生成するマスク可否指令の例を説明する図である。

図 9 は、図 4 の情報処理装置の周波数制御部のうちの、セレクタ制御部が生成する選択信号、および、CLK マスク制御部が生成するマスク可否指令の他の例を説明する図である。

図 10 は、図 4 の情報処理装置の周波数制御部のうちの、セレクタ制御部が生成する選択信号、および、CLK マスク制御部が生成するマスク可否指令のさらに他の例を説明する図である。

図 11 は、最高周波数の同期クロック信号が出力されている場合の図 4 の情報処理装置の動作例を説明するタイミングチャートである。

図 12 は、最高周波数の 1/2 の同期クロック信号が出力されている場合の図 4 の情報処理装置の動作例を説明するタイミングチャートである。

図 13 は、最高周波数の同期クロック信号が出力されている場合の図 4 の情報処理装置の動作例を説明するタイミングチャートである。

図 14 は、最高周波数の 1/2 の同期クロック信号が出力されている場合の図 4 の情報処理装置の他の動作例を説明するタイミングチャートである。

図 15 は、図 4 の情報処理装置が搭載されるパーソナルコンピュータの構成例

を示すブロック図である。

### 発明を実施するための最良の形態

図4は、本発明が適用される情報処理装置の構成例を表している。

図4に示されるように、情報処理装置21のパイプライン、および、その切れ目については、上述した従来の情報処理装置1（図1）のそれらと、基本的に同様の構成とされている。即ち、情報処理装置21には、図1と同様の構成の信号処理部13-1乃至13-3のそれぞれが、その順番で処理が実行されるように設けられており、信号処理部13-1乃至13-3のそれぞれの入力前と出力後（信号処理部13-1の入力前と、信号処理部13-1乃至13-3のそれぞれの間、信号処理部13-3の出力後）には、パイプラインとして、図1と同様の構成の保持部12-1乃至12-4のうちの対応するものが設けられている。

なお、保持部12-1乃至12-4、および、信号処理部13-1乃至13-3は、上述した処理を実行可能なものであれば、特に限定されない。例えば、この例においては、保持部12-1乃至12-4のそれぞれは、フリップフロップ回路とされるが、その他、例えば、同期型RAM等とされてもよい。

また、保持部、および、信号処理部の個数は、図4の例では、従来と比較するために、従来の情報処理装置1の例（図1の例）と同様とされているが、図4の例（4個の保持部12-1乃至12-4と、3個の信号処理部13-1乃至13-3）に限定されず、保持部は1個以上あればよいし、また、信号処理部は0個も含めて任意の個数でよい。

従って、情報処理装置21は、様々な実施の形態を取ることが可能である。例えば、情報処理装置21は、CPU、DSP、または、フィルタのようなデータ処理装置として構成されることが可能である。また、信号処理部13-1乃至13-3が省略された場合、情報処理装置21は、データのやり取りを行うバス、または、データバスとして構成されることが可能である。

情報処理装置 2 1 には、さらに、次のような、従来の情報処理装置 1 が有していないプロック（部）が設けられている。

即ち、情報処理装置 2 1 にはまた、保持部 1 2 – 1 と信号処理部 1 3 – 1 の間に、保持部 1 2 – 1 に入力されるのと同一の信号（データ）を入力する第 1 の入力部（図中「0」と記述されている側の入力部）と、保持部 1 2 – 1 より出力される信号（データ）を入力する第 2 の入力部（図中「1」と記述されている側の入力部）を有し、後述するセレクタ制御部 4 2 より出力される選択指令 selectA の内容に基づいて、第 1 の入力部と、第 2 の入力部のうちのいずれか一方を選択し、選択した入力部に入力されたデータを、信号処理部 1 3 – 1 に対して出力するセレクタ部 3 1 – 1 が設けられている。  
5  
10

セレクタ制御部 4 2 より出力される選択指令 selectA は、保持部 1 2 – 1 をバイパスしてデータを伝送させるか否かの指令を表す信号であれば、特に限定されないが、この例においては、保持部 1 2 – 1 をバイパスしてデータを伝送させる指令を表す「0」、または、保持部 1 2 – 1 を通過させた後（バイパスさせないで）データを伝送させる指令を表す「1」のうちのいずれか一方の値に対応する信号とされる。なお、後述する選択指令 selectB 乃至 selectD のそれぞれも同様とされる。  
15

即ち、セレクタ部 3 1 – 1 は、選択指令 selectA として「1」を取得した場合、同期クロック信号 CLK のうちの所定の第 1 のクロックが出力されたとき、  
20 保持部 1 2 – 1 に入力され、かつ保持され、第 1 のクロックの次の第 2 のクロックが出力されたとき、保持部 1 2 – 1 より出力されたデータ（図 4 中「1」と記述されている側の第 2 の入力部に入力されたデータ）を、信号処理部 1 3 – 1 に対して出力する。  
25

これに対して、セレクタ部 3 1 – 1 は、選択指令 selectA として「0」を得した場合、同期クロック信号 CLK のうちの所定の第 1 のクロックが出力されたとき、保持部 1 2 – 1 に入力されるデータと同一のデータ（図 4 中「0」と記述されている側の第 1 の入力部に入力されたデータ）を、信号処理部 1 3 – 1 に

対してそのまま出力する。即ち、セレクタ部 31-1 は、選択指令 selectA として「0」を取得した場合、保持部 12-1 をバイパスしてデータを信号処理部 13-1 に伝送する。

情報処理装置 21 にはまた、このようなセレクタ 31-1 と同様の構成のセレ

5 クタ 31-2 乃至 31-4 のそれぞれが、保持部 12-2 乃至 12-4 のうちの対応するものの出力の後に設けられている。

即ち、セレクタ 31-2 は、保持部 12-2 と信号処理部 13-2 の間に設けられ、選択指令 selectB として「0」を後述するセレクタ制御部 42 より取得した場合、保持部 12-2 をバイパスしてデータを信号処理部 13-2 に伝送する。これに対して、セレクタ 31-2 は、選択指令 selectB として「1」を後述するセレクタ制御部 42 より取得した場合、保持部 12-2 から出力されたデータを信号処理部 13-2 に伝送する。

同様に、セレクタ 31-3 は、保持部 12-3 と信号処理部 13-3 の間に設けられ、選択指令 selectC として「0」を後述するセレクタ制御部 42 より取得した場合、保持部 12-3 をバイパスしてデータを信号処理部 13-3 に伝送する。これに対して、セレクタ 31-3 は、選択指令 selectC として「1」を後述するセレクタ制御部 42 より取得した場合、保持部 12-3 から出力されたデータを信号処理部 13-3 に伝送する。

セレクタ 31-4 は、保持部 12-4 の後に設けられ、選択指令 selectD として「0」を後述するセレクタ制御部 42 より取得した場合、保持部 12-4 をバイパスしてデータを外部に出力する。これに対して、セレクタ 31-4 は、選択指令 selectD として「1」を後述するセレクタ制御部 42 より取得した場合、保持部 12-4 から出力されたデータを外部に出力する。

ところで、このように、セレクタ 31-1 乃至 31-4 のうちのいずれかにより、保持部 12-1 乃至 12-4 のうちの対応する保持部がバイパスされた場合、バイパスされた保持部は、その処理を行う必要はない。

従って、情報処理装置 21 にはさらに、保持部 12-1 乃至 12-4 のそれぞれに対して、必要に応じて同期クロック信号 CLK の供給を停止する CLK マスク部 32-1 乃至 32-4 のそれぞれが設けられている。

即ち、CLK マスク部 32-1 乃至 32-4 のそれぞれは、後述する同期クロック信号 CLK を出力する CLK 制御部 41 と、保持部 12-1 乃至 12-4 のうちの対応するものの間に設けられている。CLK マスク部 32-1 乃至 32-4 のそれぞれは、後述する CLK マスク制御部 43 より出力されるマスク可否指令 maskA 乃至 maskD のうちの対応するものの内容に基づいて、保持部 12-1 乃至 12-4 のうちの対応するものに対して、CLK 制御部 41 より出力される同期クロック信号 CLK を供給するか否かの制御を実行する。

CLK マスク制御部 43 より出力されるマスク可否指令 maskA は、同期クロック信号 CLK を保持部 12-1 に供給するか否かを指令する指令を表す信号であれば、特に限定されないが、この例においては、同期クロック信号 CLK の保持部 12-1 への供給の指令を表す「1」、または、同期クロック信号 CLK の保持部 12-1 への供給の禁止の指令（マスク指令）を表す「0」のうちのいずれかの値に対応する信号とされる。マスク可否指令 maskB 乃至 maskD のそれぞれも同様とされる。

このように、情報処理装置 21 は、CLK マスク部 32-1 乃至 32-4 を有しているので、保持部 12-1 乃至 12-4 のうちの処理の不要なものの動作を停止させることができある。従って、保持部 12-1 乃至 12-4 のうちの処理の不要なものは、電力を消費しない（または、その消費量が抑制される）ので、情報処理装置 21 全体の消費電力の抑制が可能になる。

なお、CLK マスク部 32-1 乃至 32-4 のそれぞれは、上述したように、保持部 12-1 乃至 12-4 のうちの対応するものの処理が不要な場合、即ち、対応する保持部がバイパスされる場合、その保持部に対して、同期クロック信号 CLK の供給を停止する。従って、選択指令 selectA 乃至 selectD のそれぞれの内容と、マスク可否指令 maskA 乃至 maskD のそれぞれの内容は対応する。この

例においては、例えば、選択指令が「1」であれば、それに対応するマスク可否指令は「1」となり、選択指令が「0」であれば、それに対応するマスク可否指令は「0」となる。

従って、この例においては、マスク可否指令 maskA 乃至 maskD のそれぞれは、  
5 CLK マスク制御部 4 3 より出力されたが、この例に限定されず、例えば、セレクタ制御部 4 2 が、選択指令 selectA 乃至 selectD のそれぞれを出力する場合、さらに、マスク可否指令 maskA 乃至 maskD のそれぞれも出力するようにしてもよい。換言すると、セレクタ制御部 4 2 は、選択指令 selectA 乃至 selectD のそれを、セレクタ部 3 1 - 1 乃至 3 1 - 4 のうちの対応するものに供給する  
10 とともに、マスク可否指令 maskA 乃至 maskD のそれとみなして、CLK マスク部 3 2 - 1 乃至 3 2 - 4 のうちの対応するものに供給してもよい。

情報処理装置 2 1 にまた、周波数制御部 3 3 が設けられている。周波数制御部 3 3 には、外部からの周波数情報 Infq に基づいて、周波数を可変し、変更した周波数の同期クロック信号 CLK を出力する CLK 制御部 4 1（従来の周波数制御部 1 1（図 1）に対応する CLK 制御部 4 1）、周波数情報 Infq に含まれる CLK 制御部 4 1 が出力する同期クロック信号 CLK の周波数に基づいて、上述した選択指令 selectA 乃至 selectD のそれぞれを生成し、セレクタ部 3 1 - 1 乃至 3 1 - 4 のうちの対応するものに供給するセレクタ制御部 4 2、および、上述したマスク可否指令 maskA 乃至 maskD のそれぞれを生成し、CLK マスク部 3 2 - 1 乃至 3 2 - 4 のうちの対応するものに供給する CLK マスク制御部 4 3 が設けられている。

周波数制御部 3 3 に入力される周波数情報 Infq は、CLK 制御部 4 1 が output する同期クロック信号 CLK の周波数を指標するものであれば限定されず、例えば、同期クロック信号 CLK の周波数を指標するデータビットとして表すことが可能である。周波数情報 Infq は、現在の同期クロック信号 CLK の周波数を表すものであってもよく、或いは、同期クロック信号 CLK の周波数の変化に先行して次のクロックの周波数を表すものでもよい。また、周波数情報 Infq は、周波数の

変化点だけを指標する信号であってもよく、さらに、未来の同期クロック信号 CLK として次のクロックのものに限定されず、所定数の複数クロック後の周波数を指標するようにしてもよい。

同期クロック信号 CLK の周波数を指標する方法としては、様々な方法が考え  
5 られ、特に限定されるものではないが、この例においては、例えば、周波数情報 Infq としてコード化された情報を用い、それをデコードして利用する方法とさ  
れる。

図 5 と図 6 は、そのようなエンコード方法のうちの、2 種類のエンコード方法  
のそれぞれをテーブル形式で表している。勿論、エンコード方法はこれらのもの  
10 に限定されず他の符号化方法を用いてもよい。

図 5 に示されるエンコード方法は、可変な同期クロック信号 CLK の周波数に  
合わせてそれぞれ 2 ビットのデータが割り当てられる方法の例である。図 5 の例  
では、クロック信号 CLK の周波数が 10 MHz のときに「00」が、周波数が 3  
MHz のときに「01」が、周波数が 50 MHz のときに「10」が、周波数が  
15 100 MHz の時に「11」が、それぞれ割り当てられる。この方式では、周波  
数が 10 倍に変化した場合、例えば、同期クロック信号 CLK の周波数が 10 MHz  
から 100 MHz に変化した場合でも、データ長は 2 ビットのままであり、デ  
コード処理や回路構成が複雑化されずに処理が可能となる。

図 6 に示されるエンコード方法は、可変な同期クロック信号 CLK の周波数の  
20 逆数にあわせたデータが割り当てられる方法の例である。同期クロック信号 CLK  
の周波数の逆数は、各周波数における 1 クロック分の周期に対応する。図 6 の例  
では、同期クロック信号 CLK の周波数が 10 MHz のときに「10」が、周波数  
が 33 MHz のときに「3」が、周波数が 50 MHz のときに「2」が、周波数が  
100 MHz のときに「1」が、それぞれ割り当てられる。これらのデータは、  
25 データの表す値そのものが 1 クロック分の周期に対応することから、単純な乗算  
によって待ち時間などを形成することが可能である。即ち、同期クロック信号  
CLK の周波数が 10 MHz、33 MHz、50 MHz、および、100 MHz のそれぞ

れのときには、クロック周期は 100ns、30ns、20ns、および、10ns のそれぞれであり、これらは上述したデータ値に 10ns 分を乗算することで容易に算出が可能である。

なお、図 4 の例では、周波数情報 Infq は、情報処理装置 21 の外部から供給 5 されているが、図 4 の例に限定されず、例えば、周波数制御部 33 自身が周波数情報 Infq を生成してもよい。

また、図 4 の例では、セレクタ制御部 42、および、CLK マスク制御部 43 のそれぞれ、周波数情報 Infq に基づいて、選択指令 selectA 乃至 selectD のそれぞれ、若しくは、マスク可否指令 maskA 乃至 maskD のそれぞれを生成しているが、図 4 の例に限定されず、例えば、周波数情報 Infq とは異なる情報が外部 10 から入力され、その情報に基づいて、選択指令 selectA 乃至 selectD のそれぞれ、および、マスク可否指令 maskA 乃至 maskD のそれぞれが生成されてもよい。

次に、図 7 のフローチャートを参照して、図 4 の周波数制御部 33 の処理について説明する。

15 はじめに、ステップ S1において、周波数制御部 33 の CLK 制御部 41 は、所定の周波数の同期クロック信号 CLK を出力する。

ステップ S2において、周波数制御部 33 は、周波数情報 Infq が入力されたか否かを判定する。

20 ステップ S2において、周波数情報 Infq が入力されていないと判定した場合、周波数制御部 31 は、その処理をステップ S1 に戻し、それ以降の処理を繰り返す。即ち、周波数情報 Infq が入力されるまで、周波数制御部 31 の CLK 制御部 41 は、所定の周波数の同期クロック信号 CLK を出力し続ける。

これに対して、ステップ S2において、周波数情報 Infq が入力されたと判定した場合、周波数制御部 31 は、ステップ S3において、周波数 UP の指令であるか否かを判定する。

即ち、周波数情報 Infq に含まれる周波数（この例においては、例えば、上述した図 5 または図 6 に示されるような周波数情報 Infq がデコードされて得られ

る周波数)が、その時点で実際に出力されている同期クロック信号 CLK の周波数より高い場合、ステップ S 3において、周波数 UP の指令であると判定される。

これに対して、周波数情報 Infq に含まれる周波数が、その時点で実際に出力されている同期クロック信号 CLK の周波数と同じか、または、それより低い場合、ステップ S 3において、周波数 UP の指令ではないと判定される。

5      ステップ S 3において、周波数 UP の指令であると判定した場合、周波数制御部 3 3 は、ステップ S 4において、情報処理装置 2 1 のパスを停止する。即ち、周波数制御部 3 3 は、保持部 1 2 - 1 乃至保持部 1 2 - 4 に保持されているデータの全てを、外部に出力させた後（セレクタ部 3 1 - 4 より出力させた後）、保

10     持部 1 2 - 1 乃至セレクタ部 3 1 - 4 の間のデータの伝送を一時停止する。

ステップ S 5において、周波数制御部 3 3 のセレクタ制御部 4 2 は、ステップ S 2 の処理で入力された周波数情報 Infq に対応する周波数（周波数情報 Infq がデコードされて得られる周波数）に基づいて、選択指令 selectA 乃至 selectD のそれぞれを生成する。

15     そして、ステップ S 6において、セレクタ制御部 4 2 は、ステップ S 5 の処理で生成した選択指令 selectA 乃至 selectD のそれぞれに基づいて、各セレクタ部 3 1 - 1 乃至 3 1 - 4 のそれぞれの入力を適切に切り換える。

具体的には、例えば、いま、ステップ S 2 の処理で入力された周波数情報 Infq に対応する周波数が最高周波数とされ、ステップ S 3 の処理で周波数 UP の指令であると判定した場合、周波数制御部 3 3 は、図 8 に示されるように、保持部 1 2 - 1 乃至 1 2 - 4 のうちのいずれもバイパスさせない（データを、全ての保持部 1 2 - 1 乃至 1 2 - 4 のそれぞれに通過させる）と判断する。

なお、図 8、並びに、後述する図 9 および図 10において、「○」は、保持部 1 2 - 1 乃至 1 2 - 4 のうちの図中その上方に示されている保持部をバイパスさせない（その保持部にデータを通過させる）ことを表している。これに対して、「×」は、保持部 1 2 - 1 乃至 1 2 - 4 のうちの図中その上方に示されている保持部をバイパスさせる（その保持部にデータを通過させない）ことを表している。

そして、図8に示されるように、セレクタ制御部42は、ステップS5の処理で、選択指令selectA乃至selectDのそれぞれの設定を、全て「1」とし（「1」を生成し）、ステップS6の処理で、セレクタ部31-1乃至31-4のそれぞれに送信する。

5 上述したように、セレクタ部31-1乃至31-4のそれぞれは、選択指令selectA乃至selectDのうちの対応するものを受信し、いまの場合、受信した選択指令がいずれも「1」であるので、保持部12-1乃至12-4のうちのその直前に配置されている保持部の出力を入力とする（図4中「1」と記述されている側の第2の入力部を入力とする）ようにその設定を切り換える。

10 このとき、図8に示されるように、CLKマスク制御部43は、選択指令selectA乃至selectDのそれぞれに対応させて、マスク可否指令maskA乃至maskDのそれぞれの設定を、全て「1」とし（「1」を生成し）、CLKマスク部32-1乃至32-4のうちの対応するものに供給する。

15 上述したように、CLKマスク部32-1乃至32-4のそれぞれは、マスク可否指令maskA乃至maskDのうちの対応するものを受信し、いまの場合、受信したマスク可否指令がいずれも「1」であるので、CLK制御部41からの同期クロック信号CLKを、保持部12-1乃至12-4のうちの対応する保持部へ供給するように制御する。

20 図7に戻り、周波数制御部33は、ステップS7において、情報処理装置21のパスを再開し、ステップS8において、同期クロック信号CLKの周波数を、ステップS2の処理で入力した周波数情報Infqに対応する周波数（周波数情報Infqがデコードされて得られた周波数）まで上げる。

25 ステップS15において、周波数制御部33は、処理の終了が指示されたか否かを判定する。

25 ステップS15において、処理の終了が指示されたと判定した場合、周波数制御部33は、その処理を終了する。

これに対して、ステップ S 15において、処理の終了がまだ指示されていないと判定した場合、周波数制御部 33は、その処理をステップ S 1に戻し、それ以降の処理を繰り返す。

即ち、CLK 制御部 41は、次の周波数情報 Infq が入力されるまで、直前のステップ S 8 の処理で設定の変更をした（値を上げた）周波数（いまの場合、最高周波数）の同期クロック信号 CLK を出力し続ける。

この状態で、例えば、最高周波数がエンコードされた周波数情報 Infq が、周波数制御部 33に新たに入力されたとする。

この場合、既に CLK 制御部 41より最高周波数の同期クロック信号 CLK が出力されているので、周波数制御部 33は、ステップ S 2 の処理で、周波数情報 Infq が入力されたと判定し、ステップ S 3 の処理で、周波数 UP の指令ではないと判定する。さらに、ステップ S 9において、周波数制御部 33は、周波数 DOWN の指令ではないと判定し、その処理をステップ S 1に戻し、それ以降の処理を繰り返す。即ち、CLK 制御部 41は、次の周波数情報 Infq が入力されるまで、最高周波数の同期クロック信号 CLK を出力し続ける。

この状態で、例えば、さらに、最高周波数の 1/2 の周波数がエンコードされた周波数情報 Infq が、周波数制御部 33に新たに入力されたとする。

この場合、周波数制御部 33は、ステップ S 2 の処理で、周波数情報 Infq が入力されたと判定し、ステップ S 3 の処理で、周波数 UP の指令ではないと判定し、さらに、ステップ S 9 の処理で、今度は、周波数 DOWN の指令であると判定する。

そして、ステップ S 10において、周波数制御部 33は、上述したステップ S 4 の処理と同様に、情報処理装置 21 のパスを停止する。

ステップ S 11において、周波数制御部 33のセレクタ制御部 42は、上述したステップ S 5 の処理と同様に、ステップ S 2 の処理で入力された周波数情報 Infq に対応する周波数（いまの場合、周波数情報 Infq がデコードされて得られ

る最高周波数の 1/2 の周波数) に基づいて、選択指令 selectA 乃至 selectD のそれぞれを生成する。

そして、ステップ S 1 2において、セレクタ制御部 4 2は、上述したステップ S 6の処理と同様に、ステップ S 1 1の処理で生成した選択指令 selectA 乃至 5 selectDのそれぞれに基づいて、各セレクタ部 3 1 - 1 乃至 3 1 - 4のそれぞれの入力を適切に切り換える。

具体的には、例えば、いま、周波数制御部 3 3は、図 9に示されるように、1 つの保持部 1 2 - 2をバイパスさせ（データを保持部 1 2 - 2に通過させず）、その他の保持部 1 2 - 1、保持部 1 2 - 3、および、保持部 1 2 - 4のそれぞれ 10 をバイパスさせない（データを、保持部 1 2 - 1、保持部 1 2 - 3、および保持部 1 2 - 4のそれぞれに通過させる）と判断したとする。

この場合、図 9に示されるように、ステップ S 1 1の処理で、セレクタ制御部 4 2は、選択指令 selectB の設定を、「0」とし（「0」を生成し）、ステップ S 1 2の処理で、セレクタ部 3 1 - 2に送信する。セレクタ部 3 1 - 2は、上 15 述したように、選択指令 selectB (0) を受信すると、信号処理部 1 3 - 1からの出力を入力するように（保持部 1 2 - 2をバイパスするように）その設定を変更する。即ち、セレクタ部 3 1 - 2は、図 4中「0」と記述されている側の第1の入力部を入力するようにその設定を変更する。

これに対して、セレクタ制御部 4 2は、ステップ S 1 1の処理で、選択指令 20 selectA、selectC、および selectDのそれぞれの設定を、いずれも「1」とし（「1」を生成し）、ステップ S 1 2の処理で、セレクタ部 3 1 - 1、セレクタ部 3 1 - 3、およびセレクタ部 3 1 - 4のそれぞれに送信する。

上述したように、セレクタ部 3 1 - 1、セレクタ部 3 1 - 3、および、セレクタ部 3 1 - 4のそれぞれは、選択指令 selectA (1)、selectC (1)、および、 25 selectD (1)のそれぞれを受信すると、保持部 1 2 - 1、保持部 1 2 - 3、および、保持部 1 2 - 4のそれぞれの出力を入力する（図 4中「1」と記述されている側の第2の入力部を入力する）ようにそれぞれの設定を切り換える。

このとき、図9に示されるように、CLKマスク制御部43は、選択指令selectA乃至selectDのそれぞれに対応して、マスク可否指令maskAを「1」に、マスク可否指令maskBを「0」に、マスク可否指令maskCを「1」に、マスク可否指令maskDを「1」に、それぞれ設定し（生成し）、CLKマスク部32-1乃至32-4のうちの対応するものに送信する。

上述したように、CLKマスク部32-2は、マスク可否指令maskB（0）を受信すると、CLK制御部41からの同期クロック信号CLKを、保持部12-2へ供給することを停止するように制御する。

これに対して、CLKマスク部32-1、CLKマスク部32-3、およびCLKマスク部32-4のそれぞれは、マスク可否指令maskA（1）、maskC（1）、およびmaskD（1）のそれぞれを受信すると、CLK制御部41からの同期クロック信号CLKを、保持部12-1、保持部12-3、および保持部12-4のそれぞれへ供給するように制御する。

或いは、例えば、いま、周波数制御部33が、図10に示されるように、2つの保持部12-2と保持部12-3のそれぞれをバイパスさせ（データを保持部12-2と保持部12-3のそれぞれに通過させず）、その他の保持部12-1、および、保持部12-4のそれぞれをバイパスさせない（データを、保持部12-1、および保持部12-4のそれぞれに通過させる）と判断したとする。

この場合、図10に示されるように、セレクタ制御部42は、ステップS11の処理で、選択指令selectB、および、selectCのそれぞれの設定を、いずれも「0」とし（「0」を生成し）、ステップS12の処理で、セレクタ部31-2、および、セレクタ部31-3のそれぞれに送信する。セレクタ部31-2、および、セレクタ部31-3のそれぞれは、上述したように、選択指令selectB（0）、および、selectC（0）のそれぞれを受信すると、信号処理部13-1からの出力、および、信号処理部13-2からの出力のそれぞれを入力するよう（保持部12-1、および保持部12-2のそれぞれをバイパスするよう）にその設定を変更する。即ち、セレクタ部31-2、および、セレクタ部31

— 3 のそれぞれは、図 4 中「0」と記述されている側の第 1 の入力部を入力とするようにその設定を変更する。

これに対して、セレクタ制御部 4 2 は、選択指令 selectA、および selectD のそれぞれの設定を、「1」とし（「1」を生成し）、セレクタ部 3 1 — 1、およびセレクタ部 3 1 — 4 のそれぞれに送信する。  
5

上述したように、セレクタ部 3 1 — 1、および、セレクタ部 3 1 — 4 のそれぞれは、選択指令 selectA (1)、および、selectD (1) のそれぞれを受信すると、保持部 1 2 — 1、および、保持部 1 2 — 4 のそれぞれの出力を入力とする（図 4 中「1」と記述されている側の第 2 の入力部を入力とする）ようにそれぞれ  
10 の設定を切り換える。

このとき、図 10 に示されるように、CLK マスク制御部 4 3 は、選択指令 selectA 乃至 selectD のそれぞれに対応して、マスク可否指令 maskA を「1」に、マスク可否指令 maskB を「0」に、マスク可否指令 maskC を「0」に、マスク可否指令 maskD を「1」に、それぞれ設定し（生成し）、CLK マスク部 3 2 — 1 乃至 3 2 — 4 のうちの対応するものに供給する。  
15

上述したように、CLK マスク部 3 2 — 2、および、CLK マスク部 3 2 — 3 のそれは、マスク可否指令 maskB (0)、および、マスク可否指令 maskC (0) のそれぞれを受信すると、CLK 制御部 4 1 からの同期クロック信号 CLK を、保持部 1 2 — 2、および、保持部 1 2 — 3 のそれぞれへ供給することを停止するよう  
20 に制御する。

これに対して、CLK マスク部 3 2 — 1、および CLK マスク部 3 2 — 4 のそれは、マスク可否指令 maskA (1)、および maskD (1) のそれぞれを受信すると、CLK 制御部 4 1 からの同期クロック信号 CLK を、保持部 1 2 — 1、および保持部 1 2 — 4 のそれぞれへ供給するように制御する。

25 図 7 に戻り、周波数制御部 3 3 は、ステップ S 1 3 において、上述したステップ S 7 の処理と同様に、情報処理装置 2 1 のパスを再開し、ステップ S 1 4 において、同期クロック信号の周波数を、ステップ S 2 の処理で入力された周波数情

報 Infq に対応する周波数（周波数情報 Infq がデコードされて得られた周波数）まで下げる。

ステップ S 1 5において、上述したように、周波数制御部 3 3 は、処理の終了が指示されたか否かを判定する。

5   ステップ S 1 5において、処理の終了がまだ指示されていないと判定した場合、周波数制御部 3 3 は、その処理をステップ S 1 に戻し、それ以降の処理を繰り返す。

即ち、CLK 制御部 4 1 は、次の周波数情報 Infq が入力されるまで、直前のステップ S 1 4 の処理で設定の変更をした（値を下げた）周波数（今の場合、最高周波数の 1/2 の周波数）の同期クロック信号 CLK を出力し続ける。

これに対して、ステップ S 1 5において、処理の終了が指示されたと判定した場合、上述したように、周波数制御部 3 3 は、その処理を終了する。

なお、上述した一連の処理のうちの、周波数 UP の指令である場合（ステップ S 3 の処理で YES と判定された場合）のそれ以降の処理、即ち、上述したステップ S 4 乃至 S 8 の処理は、その順番で実行される必要がある。これに対して、周波数 DOWN の指令である場合（ステップ S 9 の処理で YES と判定された場合）のそれ以降の処理は、即ち、上述したステップ S 1 0 乃至 S 1 4 の処理は、必ずしもその順番で実行される必要はない。具体的には、ステップ S 1 0 乃至 S 1 3 の処理と、ステップ S 1 4 の処理のそれぞれは、相互に独立した処理として順序関係なく実行可能である。

次に、図 1 1 乃至図 1 4 を参照して、図 4 の情報処理装置 2 1 の全体の動作を説明する。

なお、この例においては、例えば、上述した従来の情報処理装置 1（図 1）の動作と対応させ、即ち、上述した図 2 と図 3 にあわせて、情報処理装置 1 に入力される信号（保持部 1 2 - 1 に入力される信号）は、(A0, B0, C0, D0) のデータ列であり、データ列 (A0, B0, C0, D0) の各データのそれぞれは、その順番で、1 クロック毎に順次入力されるとする。

例えば、いま、周波数制御部 3 3 が、上述した図 7 のステップ S 1 乃至 S 1 5 の処理を実行し、最高周波数の同期クロック信号 CLK を出力しているとする。

この場合、この例においては、上述したように（図 8 に示されるように）、保持部 1 2 - 1 乃至 1 2 - 4 のうちのいずれもバイパスされない（データは、全て 5 の保持部 1 2 - 1 乃至 1 2 - 4 のそれぞれを通過する）ので、情報処理装置 2 1 の動作は、図 1 1 に示されるようになる。図 1 1 と、上述した図 2 を比較すると明らかのように、最高周波数の同期クロック信号 CLK が output されている場合の情報処理装置 2 1 の動作（図 1 1）は、最高周波数の同期クロック信号 CLK が output されている場合の情報処理装置 1 の動作（図 2）と基本的に同様とされる。 10 従って、最高周波数の同期クロック信号 CLK が output されている場合の情報処理装置 2 1 の動作の説明は省略する。

この状態で、例えば、最高周波数の 1/2 の周波数がエンコードされた周波数情報 Infq が、周波数制御部 3 3 に新たに入力され、上述した図 7 のステップ S 1 乃至 S 1 5 の処理が実行されて、最高周波数の 1/2 の同期クロック信号 CLK が output されたとする。ただし、ここでは、図 9 に示されるように、1 つの保持部 15 1 2 - 2 のみがバイパスされる（データが保持部 1 2 - 2 を通過しない）ように設定されたとする。

この場合、情報処理装置 2 1 の動作は、例えば、図 1 2 に示されるようになる。即ち、1 クロック目に、データ A0 が保持部 1 2 - 1 に入力され、かつ保持さ 20 れる。

2 クロック目に、保持部 1 2 - 1 において、データ A0 が output されるとともに、データ B0 が入力され、かつ保持される。データ A0 は、セレクタ部 3 1 - 1 を通過して、信号処理部 1 3 - 1 により第 1 の処理が施されてデータ A1 となり、保持部 1 2 - 2 をバイパスして（通過しないで）そのままセレクタ部 3 1 - 2 を 25 通過し、さらに、信号処理部 1 3 - 2 により第 2 の処理が施されてデータ A2 となり、3 クロック目が出力されるまでに、保持部 1 2 - 3 に入力され、かつ保持される。なお、保持部 1 2 - 2 は、同期クロック信号 CLK が供給されないので

(CLK マスク部 3 2 - 2 により供給の停止が制御されているので)、データ A1 を保持しない。

3 クロック目に、保持部 1 2 - 1において、データ B0 が出力されるとともに、データ C0 が入力され、かつ、保持される。保持部 1 2 - 3において、データ A2 が<sup>5</sup>出力されるとともに、次の 4 クロック目が出力されるまでに、保持部 1 2 - 1 より出力されたデータ B0 が、セレクタ部 3 1 - 1 を通過して信号処理部 1 3 - 1 によりデータ B1 とされ、さらに、保持部 1 2 - 2 をバイパスして（通過しないで）セレクタ部 3 1 - 2 をそのまま通過し、信号処理部 1 3 - 2 によりデータ B2 とされた後、入力され、そのデータ B2 が保持される。データ A2 は、セレクタ部 3 1 - 3 を通過し、信号処理部 1 3 - 3 により第 3 の処理が施されてデータ A3 となり、4 クロック目が出力されるまでに、保持部 1 2 - 4 に入力され、かつ保持される。<sup>10</sup>

4 クロック目以降、保持部 1 2 - 1、保持部 1 2 - 3、および、保持部 1 2 - 4 のそれぞれ、並びに、信号処理部 1 3 - 1 乃至 1 3 - 3 のそれぞれが、上述した処理を繰り返し、その結果、4 クロック目にデータ A3 が外部に出力され、さらに、図示はしないが、5 クロック目にデータ B3 が、6 クロック目にデータ C3 が、7 クロック目にデータ D3 が、それぞれ外部に出力される。<sup>15</sup>

即ち、同期クロック信号 CLK の周波数が最高周波数の 1/2 であり、かつ、1 つの保持部 1 2 - 2 がバイパスされている場合、情報処理装置 2 1 は、1 クロック目に、データ A0 を入力し、4 クロック目に、信号処理部 1 3 - 1 乃至 1 3 - 3 のそれぞれにより処理されたデータ A3 を外部に出力する。<sup>20</sup>

このように、同期クロック信号 CLK の周波数が最高周波数の 1/2 の場合の従来の情報処理装置 1 は、上述したように（図 3 に示されるように）、保持部 1 2 - 1 乃至 1 2 - 4 のうちのいずれもバイパスしないので（データを、全ての保持部 1 2 - 1 乃至 1 2 - 4 に通過させるので）、1 クロック目に入力されたデータ A0 が、データ A3 に変換されて外部に出力されるタイミングは、5 クロック目である。<sup>25</sup>

これに対して、同期クロック信号 CLK の周波数が最高周波数の 1/2 の場合の情報処理装置 21 は、上述したように（図 12 に示されるように）、いまの場合、1 つの保持部 12-2 をバイパスするので、1 クロック目に入力されたデータ A0 が、データ A3 に変換されて外部に出力されるタイミングは、従来の情報処理装置 1 のそれと比較して 1 クロック少ない 4 クロック目となる。

従って、その処理時間は、従来の情報処理装置 1（図 1）においては、上述したように（図 3 に示されるように）、最高周波数時の処理時間 T1 の 2 倍の T2 (= 2T1) となるのに対して、1 つの保持部 12-2 をバイパスする情報処理装置 21（図 4）においては、図 12 に示されるように、最高周波数時の処理時間 T1 の 1.5 倍の T3 (= 1.5T1) となり、処理時間の短縮が可能になる。

即ち、本発明の情報処理装置 21 は、同期クロック信号 CLK の周波数が下がっても、従来の情報処理装置 1 に比較して、その処理能力の低下が抑制され、一定以上の処理能力を維持することが可能になる。換言すると、低周波数の同期クロック信号 CLK で動作する本発明の情報処理装置 21 の処理能力は、従来の情報処理装置 1 のそれに比較して高くなる。

また、バイパスされる保持部 12-2 には、同期クロック信号 CLK が供給されないので（CLK マスク部 32-2 がその供給を停止するように制御するので）、保持部 12-2 の動作は停止し、保持部 12-2 の電力の消費は抑制される。換言すると、低周波数の同期クロック信号 CLK で動作する本発明の情報処理装置 21 の消費電力は、従来の情報処理装置 1 のそれに比較して抑制される（低下する）。

上述したように、選択信号 selectA 乃至 selectD のそれぞれは、他とは独立した信号とされているので、保持部 12-1 乃至 12-4 のそれぞれに対して、バイパスを行うか否かの設定も他とは独立して実行可能である。即ち、情報処理装置 21 において、保持部 12-1 乃至 12-4 のうちのバイパスされる保持部の種類および個数は、1 クロック内に処理が可能な範囲で特に限定されず、任意の個数、かつ、任意のものが選択可能とされる。

従って、情報処理装置 21 の処理能力をさらに高くし、かつ、その消費電力を抑制するためには、保持部 12-1 乃至 12-4 のうちのバイパスされる保持部の個数を、1 クロックの間に処理可能な範囲で、単に増加させればよい。

例えば、上述した例では、最高周波数の 1/2 の同期クロック信号 CLK が output  
5 され、かつ、1 つの保持部 12-2 のみがバイパスされる（データが保持部 12-2 を通過しない）場合の情報処理装置 21 の動作を説明した。

これに対して、情報処理装置 21 の処理能力のさらなる向上、および、消費電力のさらなる抑制のために、上述したように（図 10 に示されるように）、最高周波数の 1/2 の同期クロック信号 CLK が output されている場合、情報処理装置 10 21 は、2 つの保持部 12-2、および、保持部 12-3 のそれぞれをバイパスさせる（データを保持部 12-2、および、保持部 12-3 のそれぞれに通過させない）ようにすることも可能である。

図 14 は、そのような、最高周波数の 1/2 の同期クロック信号 CLK が output され、かつ、2 つの保持部 12-2、および、保持部 12-3 がバイパスされる場合の情報処理装置 21 の動作を表している。なお、図 13 は、図 14 との比較のために、最高周波数の同期クロック CLK が output されている場合の情報処理装置 21 の動作を表したものであり、上述した図 11（図 2）と同一の図とされている。

図 14 に示されるように、1 クロック目に、データ A0 が保持部 12-1 に入力され、かつ保持される。  
20

2 クロック目に、保持部 12-1 において、データ A0 が output されるとともに、データ B0 が入力され、かつ保持される。

データ A0 は、セレクタ部 31-1 を通過して、信号処理部 13-1 により第 1 の処理が施されてデータ A1 となり、保持部 12-2 をバイパスして（通過しないで）そのままセレクタ部 31-2 を通過する。さらに、データ A1 は、信号処理部 13-2 により第 2 の処理が施されてデータ A2 となり、保持部 12-3 をバイパスして（通過しないで）そのままセレクタ部 31-3 を通過する。そし

て、データ A2 は、信号処理部 13-3 により第 3 の処理が施されてデータ A3 となり、3 クロック目が出力されるまでに、保持部 12-4 に入力され、かつ保持される。

なお、保持部 12-2、および保持部 12-3 のそれぞれは、同期クロック信号 CLK が供給されないので (CLK マスク部 32-2、および、CLK マスク部 32-3 のそれぞれによりその供給の禁止が制御されているので)、データ A1、および、データ A2 のそれぞれを保持しない。

3 クロック目以降、保持部 12-1、および、保持部 12-4 のそれぞれ、並びに、信号処理部 13-1 乃至 13-3 のそれぞれが、上述した処理を繰り返し、  
10 その結果、3 クロック目にデータ A3 が外部に出力され、さらに、図示はしない  
が、4 クロック目にデータ B3 が、5 クロック目にデータ C3 が、6 クロック目  
にデータ D3 が、それぞれ外部に出力される。

即ち、同期クロック信号 CLK の周波数が最高周波数の 1/2 であり、かつ、2  
つの保持部 12-2、および、保持部 12-3 がバイパスされる場合、情報処理  
15 装置 21 は、1 クロック目に、データ A0 を入力し、3 クロック目に、信号処理  
部 13-1 乃至 13-3 のそれぞれにより処理されたデータ A3 を外部に出力す  
る。

このように、同期クロック信号 CLK の周波数が最高周波数の 1/2 であり、か  
つ、1 つの保持部 12-2 のみがバイパスされた場合、上述したように (図 12  
20 に示されるように)、1 クロック目に入力されたデータ A0 が、データ A3 に変  
換されて外部に出力されるタイミングは、4 クロック目となる。

これに対して、同期クロック信号 CLK の周波数が最高周波数の 1/2 であり、  
かつ、2 つの保持部 12-2、および、保持部 12-3 がバイパスされる場合、  
上述したように (図 14 に示されるように)、1 クロック目に入力されたデータ  
25 A0 が、データ A3 に変換されて外部に出力されるタイミングは、1 つの保持部 1  
2-2 のみがバイパスされた場合のそれと比較して 1 クロック少ない 3 クロック  
目となる。

従って、その処理時間は、1つの保持部12-2のみがバイパスされた場合においては、上述したように（図12に示されるように）、最高周波数時の処理時間T1の1.5倍のT1（=1.5T1）となるのに対して、2つの保持部12-2、および保持部12-3がバイパスされた場合においては、図14に示されるように、

5 最高周波数時の処理時間T1と同一のT4（=T1）となり、処理時間のさらなる短縮が可能になる。

また、保持部12-2に加えてさらに、保持部12-3の動作も停止するので、保持部12-2のみならず保持部12-3の電力の消費も抑制される。換言すると、情報処理装置21の消費電力はさらに抑制される（低下する）。

10 上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることも可能である。

この場合、図4の情報処理装置21のうちの保持部12-1乃至12-4、セレクタ部31-1乃至31-4、および、信号処理部13-1乃至13-3は、例えば、図15に示されるパーソナルコンピュータ51のCPU（Central Processing Unit）61として構成可能である。或いは、信号処理部13-1乃至13-3が省略された場合、図4の情報処理装置21のうちの保持部12-1乃至保持部12-4、および、セレクタ部31-1乃至31-4は、例えば、パーソナルコンピュータ51のバス64、若しくは入出力インターフェース65として構成可能である。

20 図15において、CPU61は、ROM（Read Only Memory）62に記憶されているプログラム、または記憶部68からRAM（Random Access Memory）63にロードされたプログラムに従って各種の処理を実行する。RAM63にはまた、CPU61が各種の処理を実行する上において必要なデータなども適宜記憶される。

なお、この例においては、例えば、そのようなプログラムとして、図4の周波数制御部33、および、CLKマスク部32-1乃至32-4のそれぞれに対応するモジュールが構成される。これらの各モジュールのそれぞれは、1つの独立し

たアルゴリズムを持ち、かつ、そのアルゴリズムに従って固有の動作を実行する。即ち、各モジュールのそれぞれは、CPU 6 1により適宜読み出され、実行される。

CPU 6 1、ROM 6 2、およびRAM 6 3は、バス 6 4を介して相互に接続されている。このバス 6 4にはまた、入出力インターフェース 6 5も接続されている。

5 入出力インターフェース 6 5には、キーボードなどよりなる入力部 6 6、ディスプレイなどよりなる出力部 6 7、ハードディスクなどより構成される記憶部 6 8、および、インターネットを含むネットワーク（図示せず）を介しての他の装置（図示せず）との通信処理を実行する通信部 6 9が接続されている。

10 入出力インターフェース 6 5にはまた、必要に応じてドライブ 7 0が接続され、磁気ディスク、光ディスク、光磁気ディスク、或いは半導体メモリなどのリムーバブル記録媒体 7 1が適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じて記憶部 6 8にインストールされる。

15 上述した一連の処理を実行させるプログラムは、ネットワークや記録媒体からインストールされる。この記録媒体は、図 15に示されるように、装置本体とは別に、所有者等にプログラムを提供するために配布され、ドライブ 7 0に装着される、プログラムが記録されている磁気ディスク（フロッピディスクを含む）、光ディスク（CD-ROM(Compact Disk-Read Only Memory), DVD(Digital Versatile Disk)を含む）、光磁気ディスク（MD (Mini-Disk) を含む）、もしくは半導体メモリなどのリムーバブル記録媒体（パッケージメディア）7 1により構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに提供される、プログラムが記録されている ROM 6 2や、記憶部 6 8に含まれるハードディスクなどで構成される。

20 なお、本明細書において、上述した一連の処理を実行するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

## 産業上の利用可能性

以上のごとく、本発明によれば、同期クロック信号の周波数を可変とすることができる。特に、同期クロック信号の周波数が低周波数とされても、処理能力の低下を防止するとともに、電力消費を抑制することができる。

## 請求の範囲

1. 所定の周波数の同期クロックに同期して動作する情報処理装置において、前記同期クロックの前記周波数を変更して、変更した前記周波数の前記同期クロックを出力するクロック出力手段と、
  - 5 前記クロック出力手段より所定の第1のクロックが出力された場合、所定のデータを入力、かつ、保持し、前記クロック出力手段より前記第1のクロックの次の第2のクロックが出力されたとき、保持した前記データを出力する保持手段と、前記同期クロック出力手段より出力される前記同期クロックの前記周波数に基づいて、前記保持手段をバイパスして前記データを伝送させるか否かを指令する
  - 10 選択指令を生成する選択指令生成手段と、  
前記選択指令生成手段により生成された前記選択指令が、前記保持手段をバイパスして前記データを伝送させるという内容であった場合、前記データを前記保持手段を介さずにそのまま出力し、前記選択指令が、前記保持手段をバイパスしないで前記データを伝送させるという内容であった場合、前記保持手段より出力  
15 された前記データを出力するバイパス手段と  
を備えることを特徴とする情報処理装置。
2. 前記保持手段、および、前記バイパス手段がその順番に接続された組が複数組設けられ、複数の前記組のそれぞれがカスケード接続されていることを特徴とする請求の範囲第1項に記載の情報処理装置。
- 20 3. 前記データに所定の処理を施すデータ処理手段をさらに備え、  
前記保持手段は、前記データ処理手段により前記処理が施された前記データを入力、かつ保持した後、出力し、  
前記バイパス手段は、前記選択指令が、前記保持手段をバイパスして前記データを伝送させるという内容であった場合、前記データ処理手段により前記処理が  
25 施された前記データを前記保持手段を介さずにそのまま出力し、前記選択指令が、前記保持手段をバイパスしないで前記データを伝送させるという内容であった場

合、前記データ処理手段により前記処理が施されて、前記保持手段に入力、かつ、保持された後、前記保持手段より出力された前記データを出力する  
ことを特徴とする請求の範囲第1項に記載の情報処理装置。

4. 前記選択指令生成手段により生成された前記選択指令が、前記保持手段を  
バイパスして前記データを伝送させるという内容であった場合、前記保持手段の  
処理を停止させるように制御する停止制御手段

をさらに備えることを特徴とする請求の範囲第1項に記載の情報処理装置。

5. 前記選択指令生成手段は、前記同期クロック出力手段より出力される前記  
同期クロックの前記周波数に対応する周波数情報をさらに生成し、生成した前記  
周波数情報に基づいて前記選択指令を生成する

ことを特徴とする請求の範囲第1項に記載の情報処理装置。

6. 前記選択指令生成手段は、外部より供給される、前記同期クロック出力手  
段より出力される前記同期クロックの前記周波数に対応する周波数情報をさらに  
受信し、受信した前記周波数情報に基づいて前記選択指令を生成する

15 ことを特徴とする請求の範囲第1項に記載の情報処理装置。

7. 所定の周波数の同期クロックに同期して動作し、

前記同期クロックの前記周波数を変更して、変更した前記周波数の前記同期ク  
ロックを出力するクロック出力装置と、

前記クロック出力装置より所定の第1のクロックが出力された場合、所定のデ  
ータを入力、かつ、保持し、前記クロック出力装置より前記第1のクロックの次  
の第2のクロックが出力されたとき、保持した前記データを出力する保持装置と、

前記データを前記保持装置を介さずにそのまま入力する第1の入力部、前記保  
持装置より出力された前記データを入力する第2の入力部、および、前記第1の  
入力部と前記第2の入力部のうちのいずれか一方に入力された前記データを出力  
25 する出力部を有するバイパス装置と

を備える情報処理装置の情報処理方法であって、

前記同期クロック出力装置より出力される前記同期クロックの前記周波数に基づいて、前記保持装置をバイパスして前記データを伝送させるか否かを指令する選択指令を生成する選択指令生成ステップと、

前記バイパス装置に対して、前記選択指令生成ステップの処理により生成された前記選択指令が、前記保持装置をバイパスして前記データを伝送させるという内容であった場合、前記第1の入力部に入力された前記データを前記出力部より出力させるように制御し、前記選択指令が、前記保持装置をバイパスしないで前記データを伝送させるという内容であった場合、前記第2の入力部に入力された前記データを前記出力部より出力させるように制御するバイパス制御ステップと  
10 を含むことを特徴とする情報処理方法。

8. 所定の周波数の同期クロックに同期して動作し、

前記同期クロックの前記周波数を変更して、変更した前記周波数の前記同期クロックを出力するクロック出力装置と、

前記クロック出力装置より所定の第1のクロックが出力された場合、所定のデータを入力、かつ、保持し、前記クロック出力装置より前記第1のクロックの次の第2のクロックが出力されたとき、保持した前記データを出力する保持装置と、  
15 前記データを前記保持装置を介さずにそのまま入力する第1の入力部、前記保持装置より出力された前記データを入力する第2の入力部、および、前記第1の入力部と前記第2の入力部のうちのいずれか一方に入力された前記データを出力  
20 する出力部を有するバイパス装置と

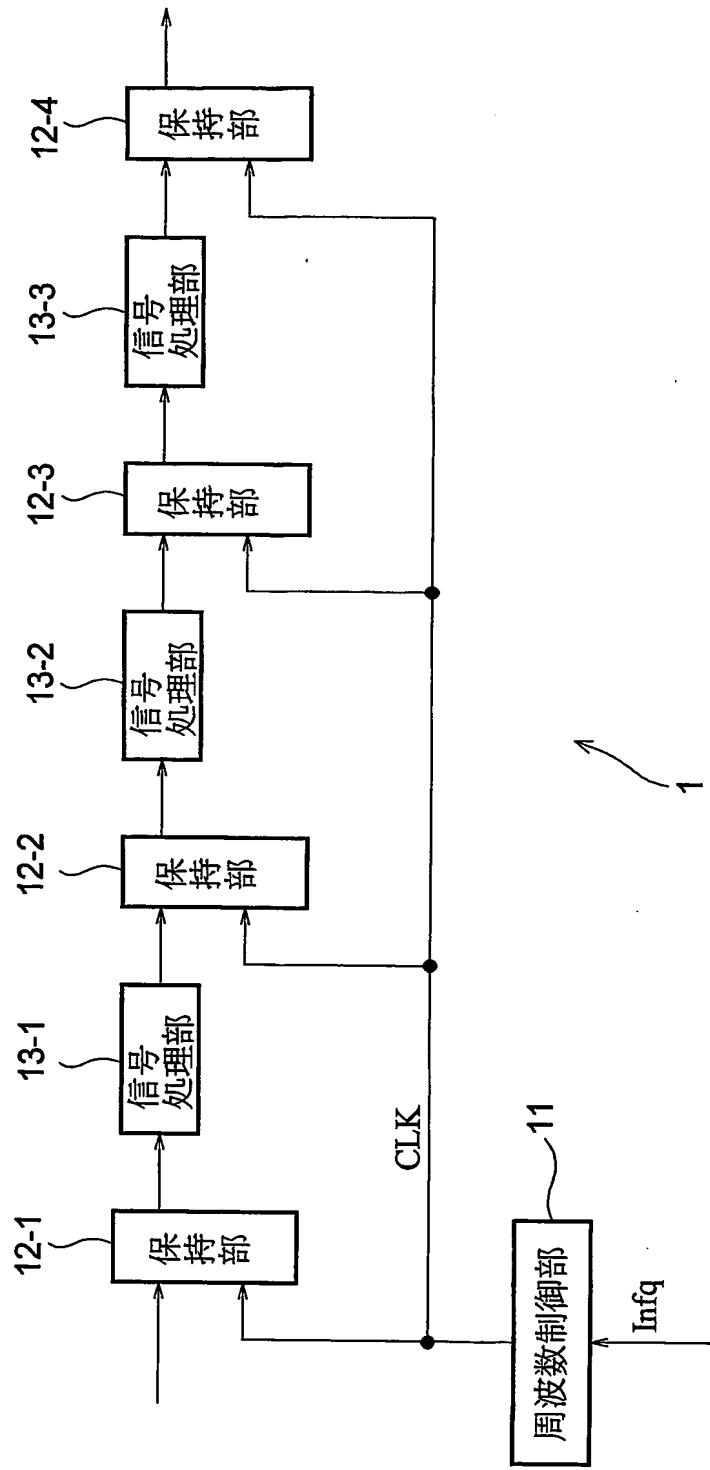
を備える情報処理装置を制御するコンピュータに、

前記同期クロック出力装置より出力される前記同期クロックの前記周波数に基づいて、前記保持装置をバイパスして前記データを伝送させるか否かを指令する選択指令を生成する選択指令生成ステップと、

前記バイパス装置に対して、前記選択指令生成ステップの処理により生成された前記選択指令が、前記保持装置をバイパスして前記データを伝送させるという内容であった場合、前記第1の入力部に入力された前記データを前記出力部より

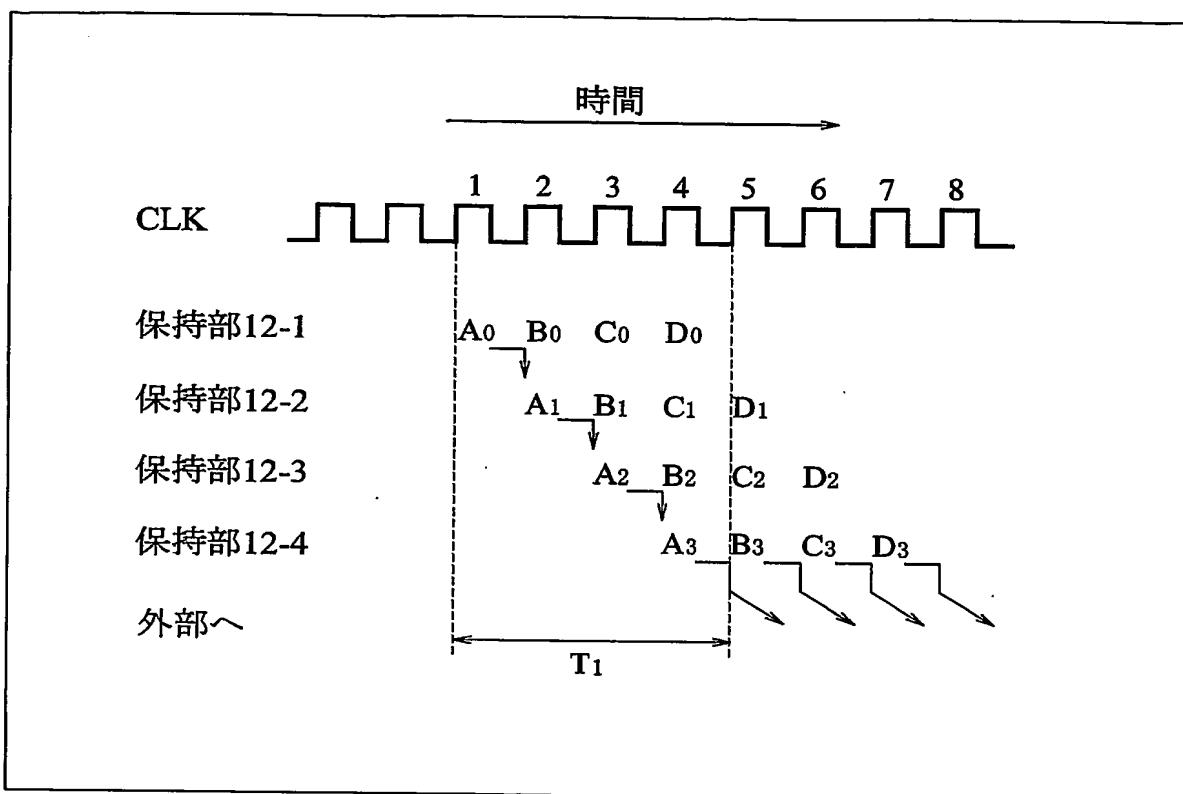
出力させるように制御し、前記選択指令が、前記保持装置をバイパスしないで前記データを伝送させるという内容であった場合、前記第2の入力部に入力された前記データを前記出力部より出力させるように制御するバイパス制御ステップとを実行させることを特徴とするプログラム。

図 1



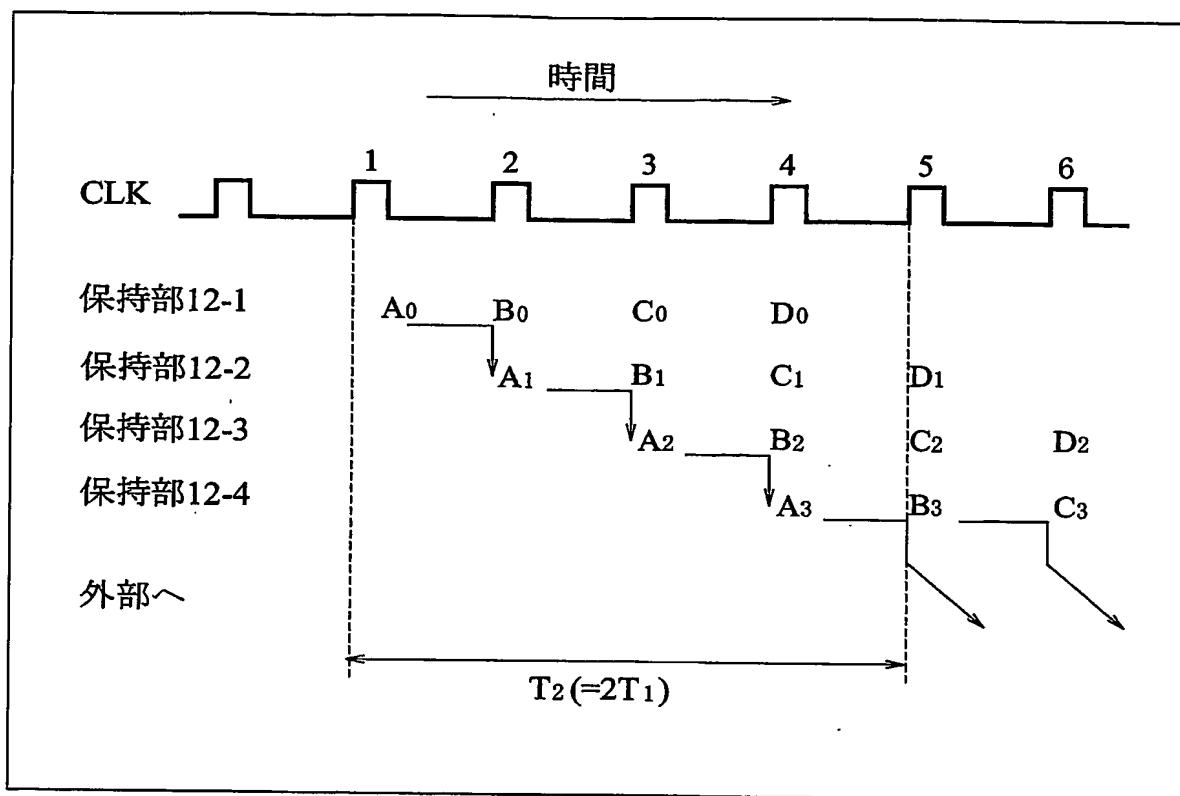
2/10

図 2



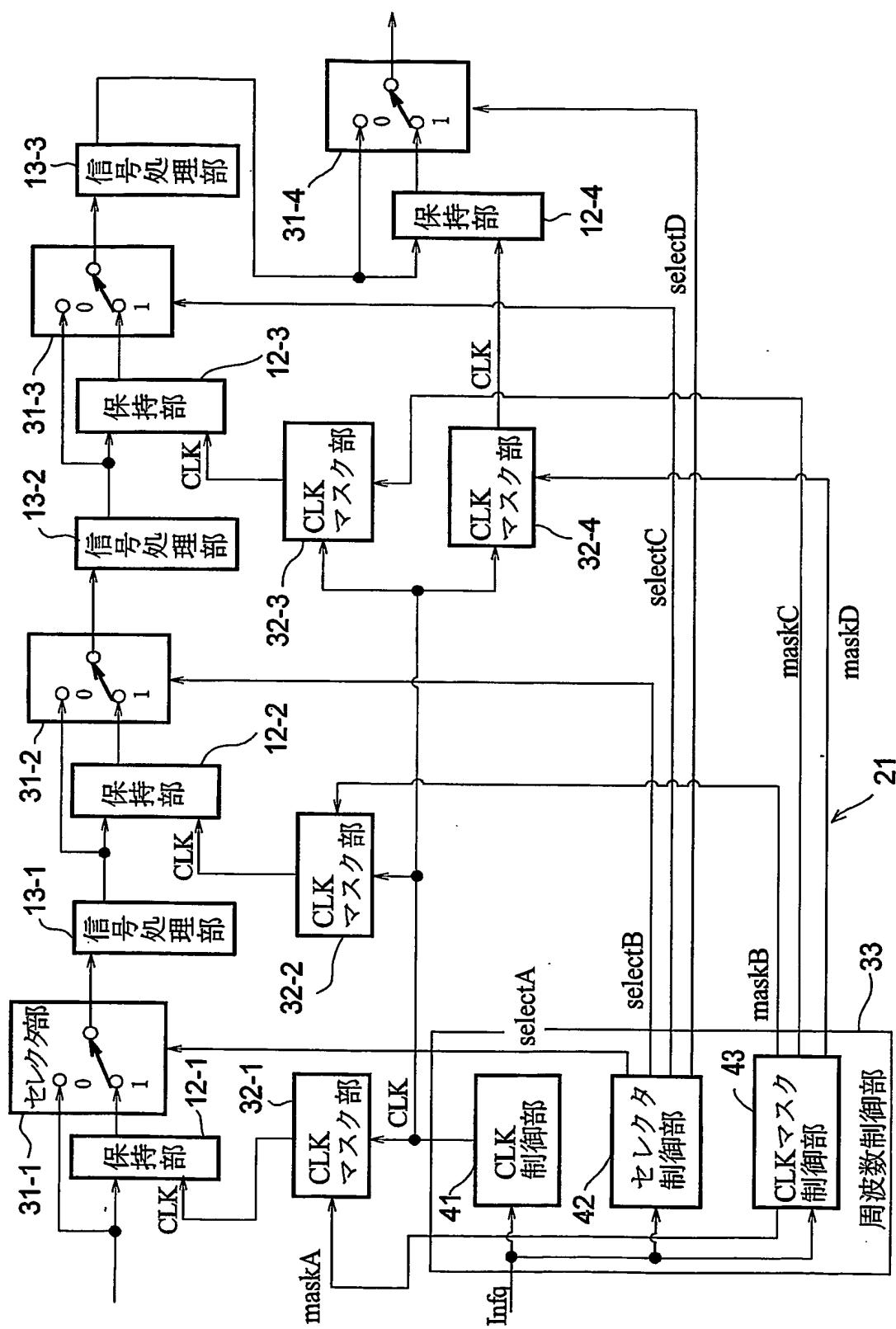
3/10

図 3



4 / 10

図 4



5/10

## 図 5

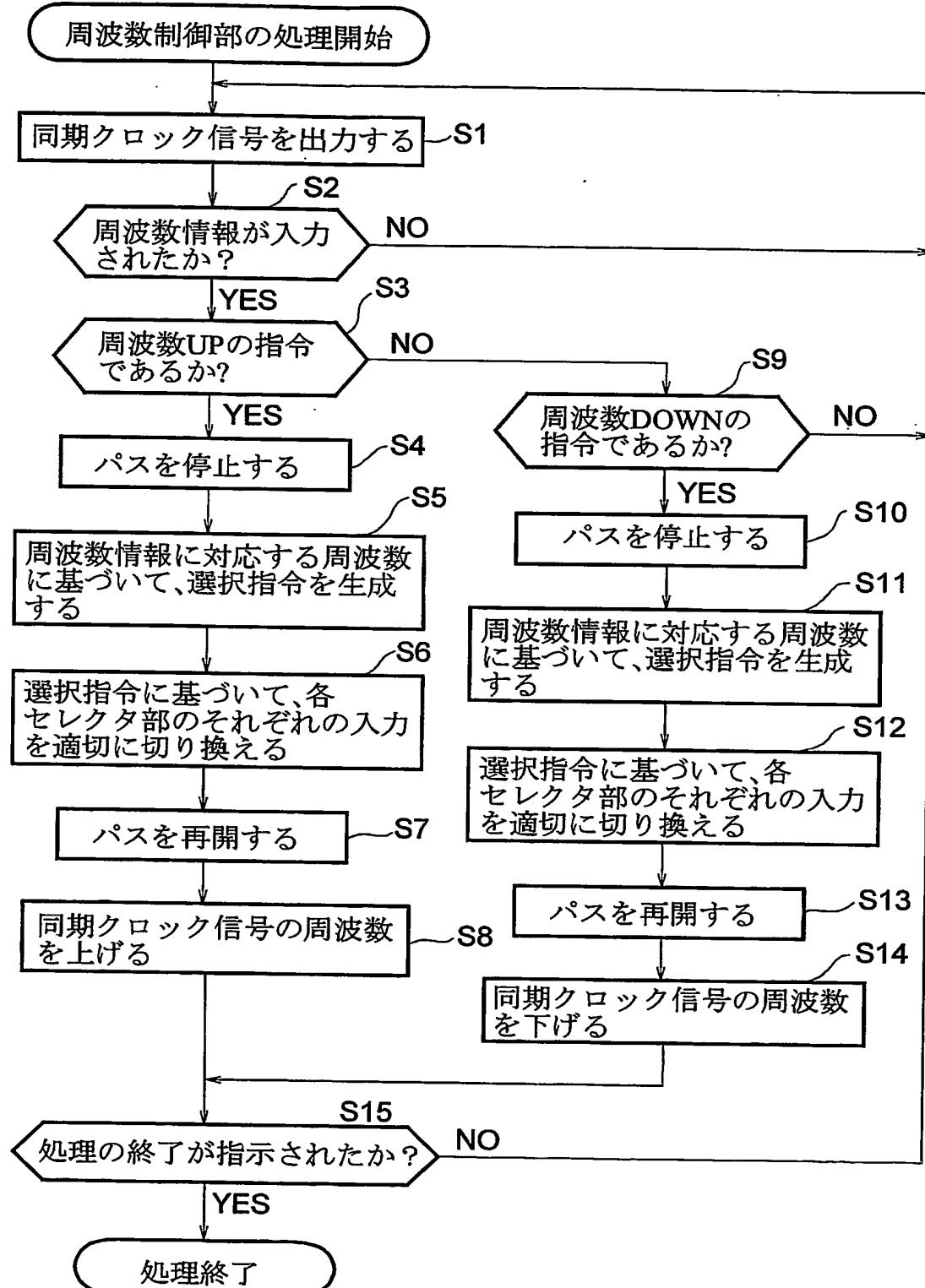
周波数情報Infq	同期クロック信号CLK
00	10MHZ
01	33MHZ
10	50MHZ
11	100MHZ

## 図 6

周波数情報Infq	同期クロック信号CLK
10	10MHZ
3	33MHZ
2	50MHZ
1	100MHZ

6 / 10

図 7



7 / 10

図 8

保持部12-1		保持部12-2		保持部12-3		保持部12-4	
selectA	maskA	selectB	maskB	selectC	maskC	selectD	maskD
1	1	1	1	1	1	1	1

図 9

保持部12-1		保持部12-2		保持部12-3		保持部12-4	
selectA	maskA	selectB	maskB	selectC	maskC	selectD	maskD
1	1	0	0	1	1	1	1

図 10

保持部12-1		保持部12-2		保持部12-3		保持部12-4	
selectA	maskA	selectB	maskB	selectC	maskC	selectD	maskD
1	1	0	0	0	0	1	1

8 / 10

図 1 1

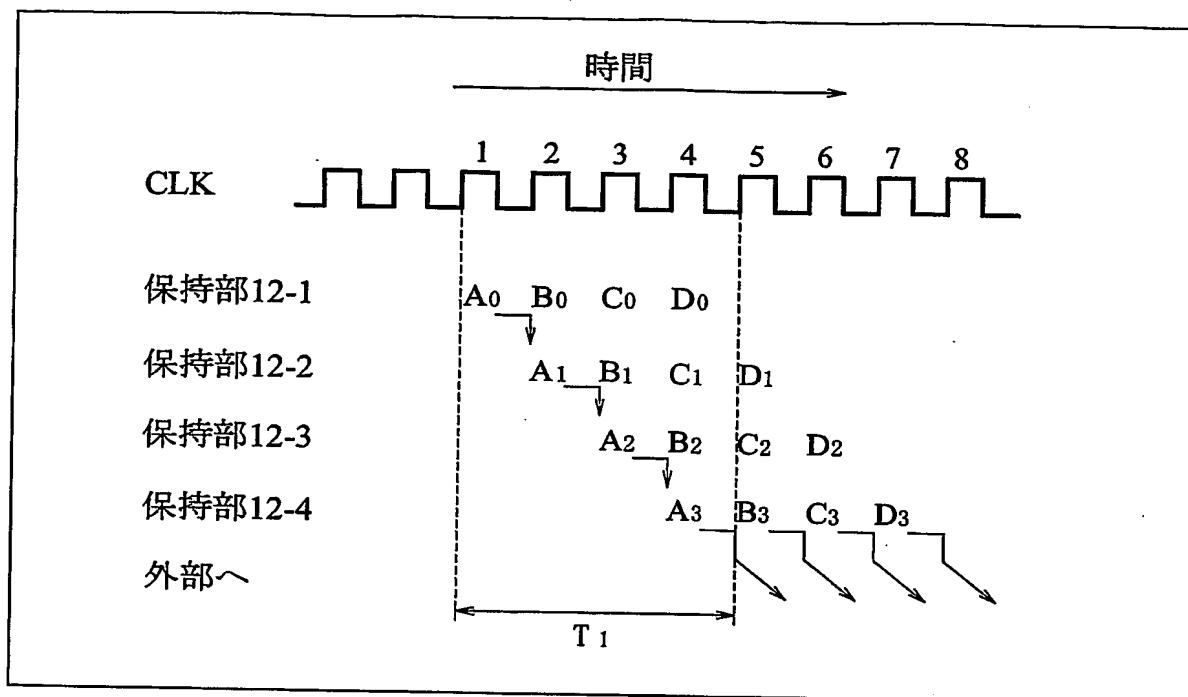
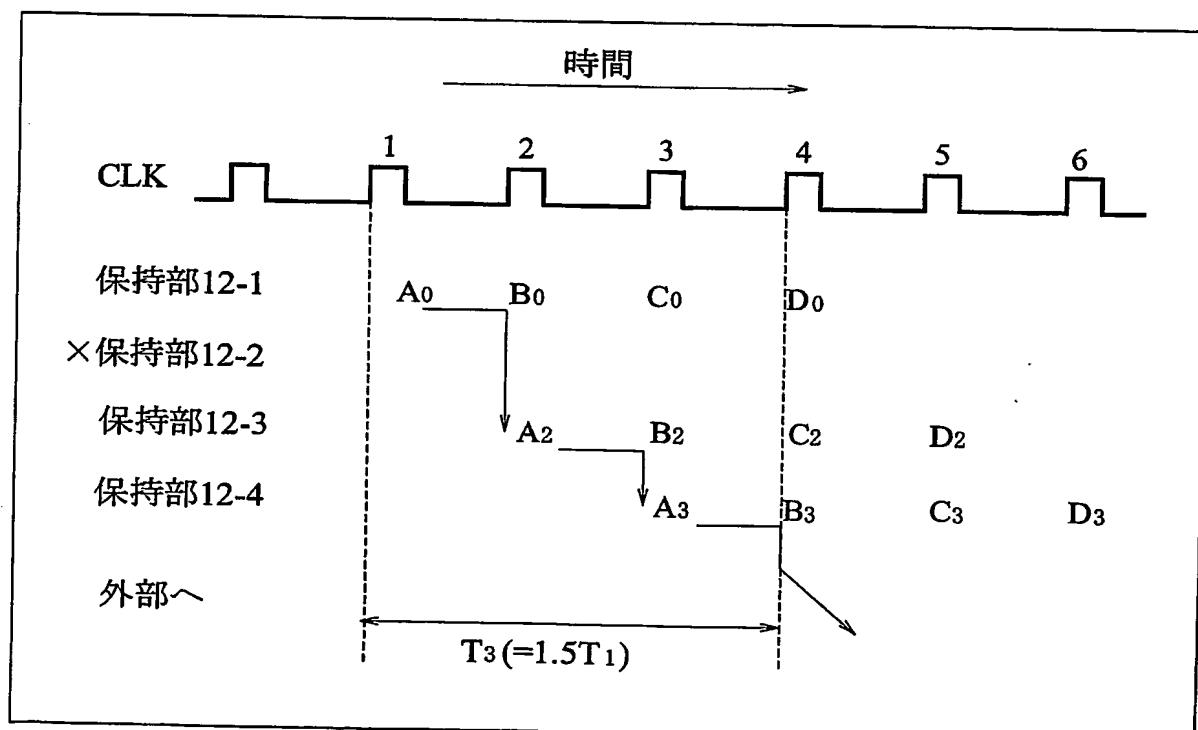


図 1 2



9/10

図 1 3

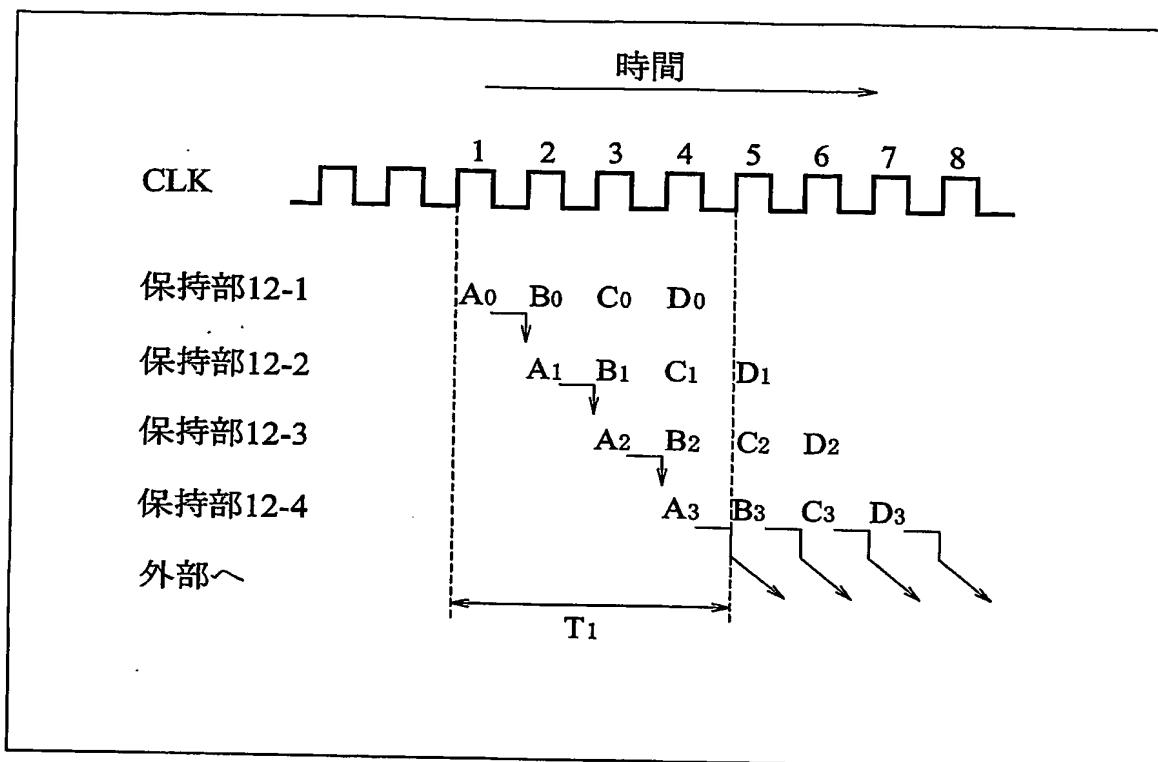
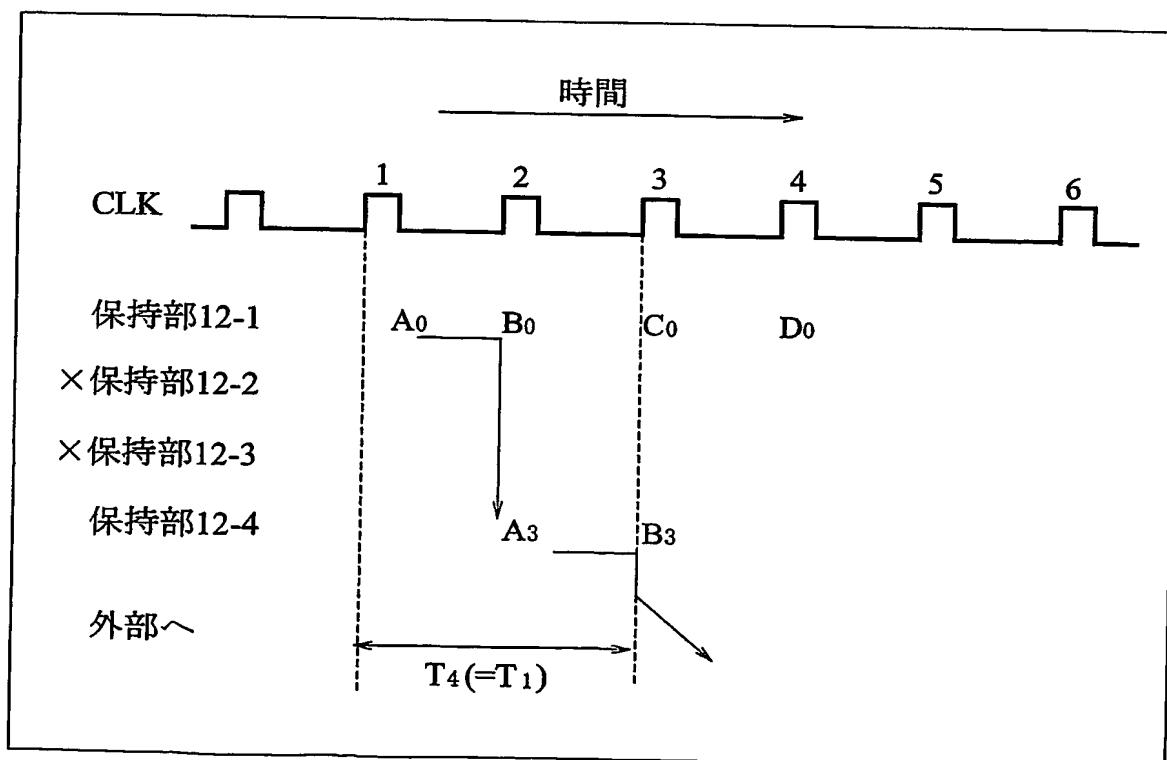
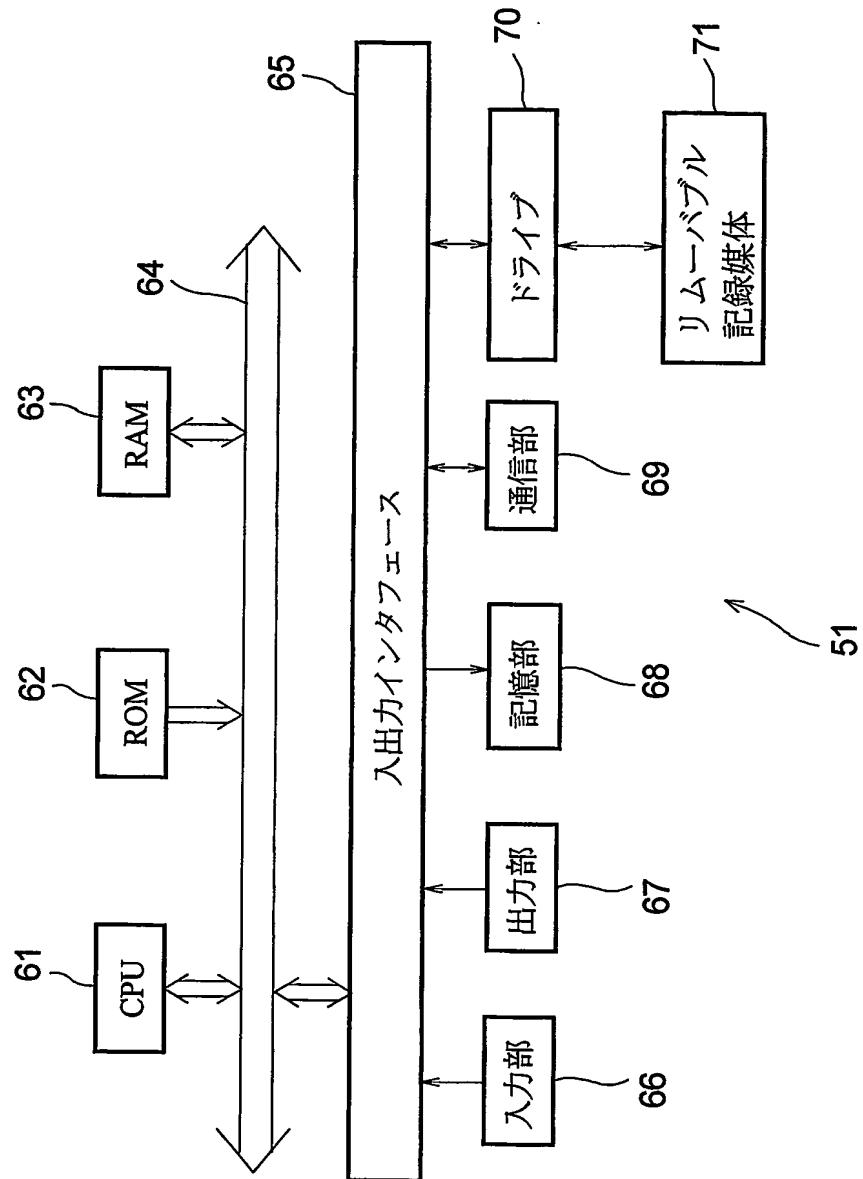


図 1 4



10 / 10

図 15



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09634

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> G06F7/00, G06F1/04

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F7/00, G06F1/04, G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-147163 A (Toshiba Corp.), 07 June, 1996 (07.06.96), Par. Nos. [0042] to [0050] (Family: none)	1-8
A	US 2001-56552 A1 (Cook), 27 December, 2001 (27.12.01), (Family: none)	1-8
T	JP 2002-297260 A (Matsushita Electric Industrial Co., Ltd.), 11 October, 2002 (11.10.02), (Family: none)	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
28 October, 2003 (28.10.03)

Date of mailing of the international search report  
11 November, 2003 (11.11.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' G06F 7/00, G06F 1/04

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' G06F 7/00, G06F 1/04, G06F 9/38

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 8-147163 A (株式会社東芝), 1996.06.07 (ファミリーなし), 段落0042-0050	1-8
A	US 2001-56552 A1 (Cook), 2001.12.27 (ファミリーなし)	1-8
T	JP 2002-297260 A (松下電器産業株式会社), 2002.10.11 (ファミリーなし)	1-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

28.10.03

## 国際調査報告の発送日

11.11.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官(権限のある職員)

田中 友章



5 E 9376

電話番号 03-3581-1101 内線 3520